

## Patent Abstracts of Japan

PUBLICATION NUMBER : 06339085  
PUBLICATION DATE : 06-12-94

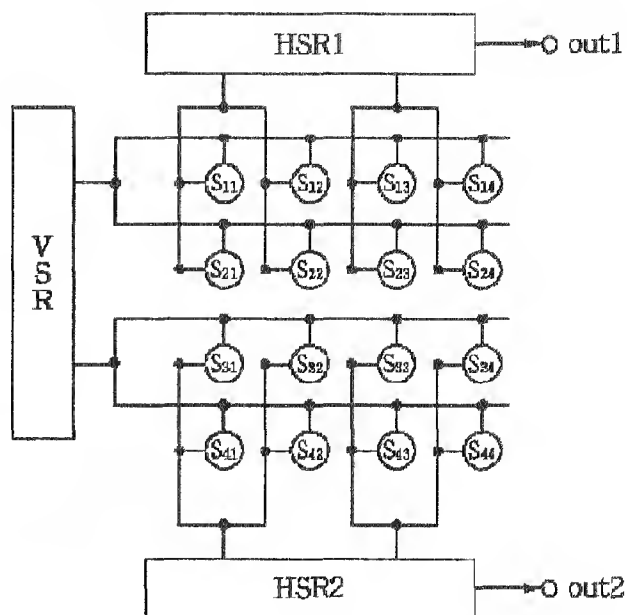
APPLICATION DATE : 28-05-93  
APPLICATION NUMBER : 05127087

APPLICANT : CANON INC;

INVENTOR : UENO TOSHITAKE;

INT.CL. : H04N 5/335 H01L 27/14

TITLE : PHOTOELECTRIC CONVERSION  
DEVICE



ABSTRACT : PURPOSE: To improve processing speed by providing with each detection means of peak signals on plural photoelectric conversion element groups and detecting various kinds of light.

CONSTITUTION: An optical sensor cell  $S_{ij}$  is divided into 4 blocks at every adjacent cell, a signal output line is made common within the blocks and the sensor is connected with a horizontal shift registers HSR 1 and HSR 2. By a vertical shift register VSR and the HSR, each block is selected and peak signals are outputted to a terminal out 1 or out 2.

COPYRIGHT: (C)1994,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-339085

(43) 公開日 平成6年(1994)12月6日

(51) Int. Cl. <sup>5</sup>	識別記号	片内整理番号	F I	技術表示箇所
H 0 4 N 5/335	Z			
H 0 1 L 27/14		7210-4M	H 0 1 L 27/ 14	

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号 特願平5-127087

(22) 出願日 平成5年(1993)5月28日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 宮脇 守

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 上野 勇武

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

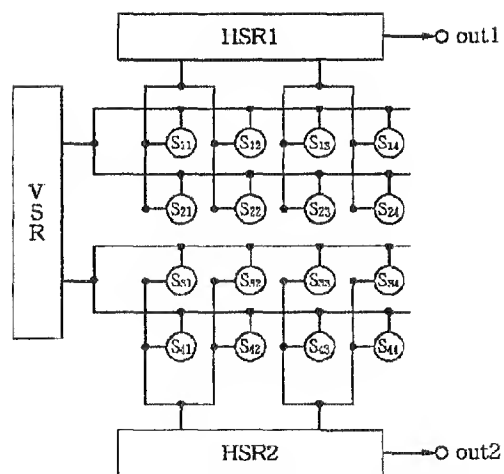
(74) 代理人 弁理士 丸島 儀一

(54) 【発明の名称】 光電変換装置

(57) 【要約】

【目的】 微小なスポット光を高信号処理速度で検出する。

【構成】 隣接する複数の光電変換要素 ( $S_{11} \dots S_{44}$ ) からなる群が複数個配設されている光電変換装置において、前記複数個の群がそれぞれ各群のピーク信号を検出する手段 (HSR1, HSR2) を具備することを特徴とする光電変換装置。



## 【特許請求の範囲】

【請求項1】 隣接する複数の光電変換要素からなる群が複数個配設されている光電変換装置において、前記複数個の群がそれぞれ各群のピーク信号を検出する手段を具備することを特徴とする光電変換装置。

【請求項2】 前記複数の光電変換要素にはそれぞれ各光電変換要素の信号を出力する手段が設けられている請求項1に記載の光電変換装置。

【請求項3】 請求項2に記載の光電変換装置と該光電変換装置からの出力信号を処理する回路とを有する画像処理装置。

【請求項4】 前記光電変換装置は単一の半導体集積回路である請求項3に記載の画像処理装置。

【請求項5】 前記光電変換要素はベースに光キャリアを蓄積するバイポーラトランジスタである請求項1に記載の光電変換装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複写機、ファクシミリ、ビデオカメラレコーダー等のイメージセンサ或いは、カメラのAEセンサ、AFセンサに代表される光センサ、及び物体の位置を検出するセンサ等に用いられる光電変換装置に関し、特に微小なスポット光等の光を検出するに好適な光電変換装置に関する。

【0002】

【背景技術の説明】図1は従来の光電変換装置（センサ）の一例を示すものであり、図1中（a）は光電変換要素としてのセンサセルが一行あたり4個、一列あたり4個の計16個並んだ2次元センサを示している。

【0003】このセンサでは垂直シフトレジスタVSRにより図中上から順に一行毎に順次選択し、水平シフトレジスタHSRにより一行あたり4つの個別信号を時系列的に出力端子outに出力する。

【0004】このように行走査、列走査の組みあわせにより各セルの信号を順次出力する。

【0005】実際のセンサにおいてはこのセル数は100個ないしは10万個にも及び、1つのセルからの読み出し時間や走査時間を短縮するにしても自ずと限界がある。

【0006】一方、セルからの信号は可視映像であることが多いが、このような映像の場合暗やみ中のマッチの火のように一つのフレームのうちごく小さな領域にのみ明信号があり、残りは全て暗信号で占められるような場合が生じる。

【0007】このような場合であっても、従来のセンサでは全てのセルの信号を時系列的に出力して外部のランダムアクセスメモリに格納した後に必要な画像信号処理を行っていた。

【0008】これに対して、AEセンサ（自動露出制御用の光センサ）では各セルの大きさを大きくして、分割

数を少なくし走査時間の短い構成が採用されている。

【0009】図1の（b）はこのようなセンサを示すものであり各セル（ $S_{11} \dots S_{22}$ ）は（a）のセルより大きな受光面積をもち、分割数は4である。

【0010】しかしながら、図1の（b）のセンサではセルの全受光面に弱い光が均一に照射される場合（ma1）とセルの受光面の一部分にのみ強い光が照射される場合（ma2）との区別ができず、小さな領域のスポット光の検出に適用し難い。

【0011】

【発明が解決する技術課題】以上のように、図1の（c）における光（ma2）の検出には処理時間が長いセンサか、誤動作してしまうセンサかのいずれかのセンサとなっていた。

【0012】

【技術課題を解決する手段】本発明は上述した技術課題を解決し、各種の光を検出し、しかも処理速度を向上することのできる光電変換装置を提供することを目的とする。

【0013】上述した目的は、隣接する複数の光電変換要素からなる群が複数個配設されている光電変換装置において、前記複数個の群がそれぞれ各群のピーク信号を検出する手段を具備することを特徴とする光電変換装置により達成される。

【0014】

【作用】本発明によれば、複数のセルからなるセンサアレイを複数の群（ブロック）に分割し、各群内のピーク信号を検出することにより、リアルタイムで信号の処理を行うことができる。

【0015】

【実施例】図2は本発明による一実施態様を示す回路構成図であり、 $S_{ij}$ （ $i=1, 2, 3, 4, j=1, 2, 3, 4$ ）は光センサセルを示している。

【0016】各セルは隣接する4つのセル毎に4つのブロックに分割され、ブロック内で信号出力線が共通化されて水平シフトレジスタ（HSR1, HSR2）に接続されている。

【0017】そして、垂直シフトレジスタVSRと水平シフトレジスタとにより各ブロックが選択されてピーク信号を端子out1又は端子out2に出力する。勿論水平シフトレジスタを1つにまとめて出力端子を1つにしてもよいし、4つのブロックのピーク信号を4つの出力端子から並列に出力することもできる。

【0018】本発明に用いられるセルとしては出力線が共通化された場合に最も受光量の大きいセルの信号が出力線に生じるものであればよく、ベース又はゲートのような制御電極領域に光キャリアを蓄積する光トランジスタが好ましく用いられる。

【0019】そして、セルは1次元アレイ状に配列されたラインセンサの形態でも、2次元に配列されたエリア

センサの形態でもよい。そして、各セルの受光面の大きさや、各ブロック内のセルの数はセンサの用途に応じて適宜選択し設計される。更には、半導体集積回路として1チップ化される。このセンサチップから出力された信号は外部回路により、各種の画像信号処理がなされる。

【0020】(実施例1)次に本発明の第1実施例について図3を用いて説明する。 $B_{ij}$  ( $i, j=1, 4$ )は、光センサセルとしてのバイポーラトランジスタ、 $P_{ij}$  ( $i=1, 4$ )は上記バイポーラトランジスタのベース領域の間に設けられたP型MOSスイッチ $M_{1j}$  ( $j=1, 4$ )は、MOSスイッチで、 $M_{2j}$  ( $j=1 \sim 4$ )は、センサ出力ラインリセット用、 $M_{3j}$  ( $j=1 \sim 4$ )は、出力ラインから容量へ信号転送用スイッチ、 $M_{4j}$  ( $j=1 \sim 4$ )は、信号読出し容量 $C_j$  ( $j=1 \sim 4$ )部電位リセット用、 $M_{5j}$  ( $j=1 \sim 4$ )は、シフトレジスタからのクロック $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ 、 $\phi_4$ により各出力信号を選択的に出力ライン1に出力するためのスイッチ、 $M_5$ は出力ライン1をリセットするスイッチである。又、2はシフトレジスタ、3は出力アンプである。

【0021】本センサの動作方法について、図4に示すタイミングチャートを用いて説明する。

【0022】まず、N型MOSスイッチ $M_{1j}$  ( $j=1 \sim 4$ )にハイレベルのパルス $\phi_{v1}$ 、とN型MOSスイッチ $M_{3j}$  ( $j=1 \sim 4$ )にハイレベルのパルス $\phi_{c1}$ を印加し、垂直出力ライン $V_{L1}$  ( $i=1 \sim 4$ )を $V_{vc}$ 電圧、読出し容量 $C_j$  ( $j=1 \sim 4$ )を $J_{c1}$ 電圧にリセットする。

【0023】次にP型MOSゲートのパルス $\phi_{s1}$ をローレベルにしP型MOSをON状態にし、 $P_{ij}$  ( $i=1 \sim 4$ )のバイポーラトランジスタのベース電位を $V_{s1}$ とする。この場合 $V_{s1}$ の電圧は $V_{vc}$ よりも少なくとも約1V程度高くしておく。上記P型MOSゲートへのパルス $\phi_{s1}$ をハイレベルとしP型MOSをOFFした後、 $\phi_{v1}$ パルスを再びハイレベルとし、垂直ラインレベルを $V_{vc}$ にするとバイポーラトランジスタが順バイアスに振り込まれ、エミッタ電位が $V_{vc}$ となるべく、ベース電位に収束する。図3に示すように、この場合垂直ライン $V_{L1}$ には $P_{11}$ 、 $P_{12}$ 、 $P_{21}$ 、 $P_{22}$ のエミッタが共通接続されており、したがって上記4つのバイポーラのベースは、垂直ライン $V_{L1}$ 電位によりリセットされる。同様の事が $B_{13}$ 、 $B_{14}$ 、 $B_{23}$ 、 $B_{24}$ ブロックのバイポーラトランジスタ $B_{31}$ 、 $B_{32}$ 、 $B_{41}$ 、 $B_{42}$ ブロックのバイポーラトランジスタ $B_{33}$ 、 $B_{34}$ 、 $B_{43}$ 、 $B_{44}$ ブロックのバイポーラトランジスタについても同様に実行される。

【0024】次に $\phi_{v1}$ のパルスをローレベルにすると、 $V_{L1} \sim V_{L4}$ の垂直ラインはフローティングとなり、各セルの光信号の蓄積期間(図4の4)にはいる。

【0025】次に信号読出し容量 $C_j$  ( $j=1 \sim 4$ )へ信号を転送するためにパルス $\phi_1$ をハイレベルにする。

この場合、読出し容量をリセットする電位 $V_{c1}$ を垂直ラインリセット電位 $V_{vc}$ よりも低くセットしておく。このように電圧関係をセットしておく、 $\phi_1$ パルスによりN型MOSスイッチ $M_{2j}$  ( $j=1 \sim 4$ )がONすると垂直ラインの電位がそれ以前の期間よりもさがり、再度バイポーラトランジスタ $B_{1j}$  ( $i=1 \sim 4$ )が順バイアスに振り込まれる。この場合、各ブロック内で各セルのうち最も光信号レベルが大きかったセルのバイポーラのベースエミッタバイアスが最も大きくなり、エミッタ電位は、そのブロック内のピーク光信号に応じた値となる。

【0026】 $\phi_1$ パルスをローレベルにすると、 $B_{11}$ 、 $B_{12}$ 、 $B_{21}$ 、 $B_{22}$ ブロックでのピーク信号が容量 $C_1$ 、 $B_{13}$ 、 $B_{14}$ 、 $B_{23}$ 、 $B_{24}$ ブロックでのピーク信号が容量 $C_2$ 、 $B_{31}$ 、 $B_{32}$ 、 $B_{41}$ 、 $B_{42}$ ブロックでのピーク信号が容量 $C_3$ 、 $B_{33}$ 、 $B_{34}$ 、 $B_{43}$ 、 $B_{44}$ でのピーク信号が容量 $C_4$ にそれぞれ読出される。

【0027】シフトレジスタ2により走査パルス $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ 、 $\phi_4$ より容量に蓄積された信号が出力ライン1を介してアンプ3より出力される。

【0028】全センサは、2次元光情報が所望のブロック領域のピーク信号に圧縮され、シリアルに読出されるため、センサ上に何かの物体光が検出されたかされなかったか等、広い領域でかつ高速に像を判別する手段として極めて有効となる。

【0029】具体的には、カメラ、顕微鏡等をユーザーが使用するためにのぞく場合、外部からパルス点滅しているLED光がユーザーの眼に当たり、反射光を本発明のセンサで検出すれば、高速かつ高精度に上記LED光の反射光をとらえユーザーの有無が判別することができる。これにより、装置の起動も容易にかけられることも言うまでもない。

【0030】又、別の応用として、自動車の運転者(ドライバー)の眼の開閉を検出するのに大いに役立つ。上記方法により外部よりLED光をドライバーの眼にあってその反射光を本発明のセンサで受ける。反射光が通常の角膜からの反射であれば、強度の強い信号が検出されるが、ドライバーがねむくなり、まぶたがしまっている期間が短くなると、反射光強度が低下する。平均的強度よりもセンサ出力が低下した時、ドライバーにブザー、いすの振動等警告すればいねむり防止装置も実現できる。

【0031】又、上場のラインで製品のラベルを検出するのにブロックのピーク情報が役立つ。

【0032】(実施例2)次に本発明の第2実施例について、等価回路図を図5、タイミングチャートを図4に示し説明する。又、実施例1と同一箇所は同一記号もしくは番号を記し、説明は省略する。

【0033】本第2実施例が第1実施例と異なるところは、各センサセルにベース電位制御用容量 $C_{ij}$  ( $i, j$

=1~4)を設け、逆バイアス蓄積動作を行う点である。このような構成により読出し用の容量をリセットするスイッチが不要になる。

【0034】動作について次に説明する。 $\phi_{vc}$ 、 $\phi_T$ のパルスをハイレベルにして垂直ラインVL1~VL4及び容量C1(1=1~4)を $V_{vc}$ 電位に、リセットする。

【0035】次に $\phi_{ss}$ パルスを中間レベルからローレベルにし、P型MOSをON状態にしてベース電位を $V_{ss}$ にリセットする。リセット後 $\phi_{ss}$ パルスを中間レベルにもどす。この状態で、バイポーラがOFF状態になっているように $V_{ss}$ レベルを選択すれば良い。

【0036】次に、再び $\phi_{vc}$ パルスをハイレベルにして垂直ラインVL1~VL4を $V_{vc}$ レベルにした後、 $\phi_{ss}$ パルスを中間レベルからハイレベルにする。これにより容量Cij(ij=1~4)を介して各バイポーラのベース電位は

【0037】

【外1】

$$\frac{C_j}{C_j+C_i}(\phi_{ss}^{\text{中間レベル}} - \phi_{ss}^{\text{ローレベル}})$$

だけ上昇する。この時、バイポーラが順方向に電流が流れるバイアス量にリセット電圧 $V_{vc}$ 、 $V_{ss}$ を設定しておけば良い。

【0038】第1実施例と同様B11、B12、B21、B22ブロックのバイポーラのエミッタは共通のVL1ラインに接続されているため、ここから電流が流れ、エミッタ電位 $V_{vc}$ に対応したベース電位にリセットされる。その他のバイポーラのブロックも同様である。電流が収束した後、 $\phi_{ss}$ パルスを中間レベルにもどすと同時に、リセット用MOSのパルス $\phi_{vc}$ もローレベルにし、蓄積を開始する。各セルはP型MOSPij(ij=1~4)で分離されている。蓄積終了後 $\phi_{ss}$ パルスをハイレベルに $\phi_T$ パルスをハイレベルにすると、各ブロックのピーク信号が、各容量C1~C4に読出される。その後の読出しは、第1実施例と同様である。

【0039】(実施例3)第3実施例について、図7を用いて説明する。同一箇所は同一記号及び数字で記し説明は省略する。本実施例は第1実施例の垂直ラインVL1~VL4と対称性をそろえる配線を改良した。

【0040】垂直ラインVL1をバイポーラB32、B33、B41、B42ブロック上にも50に示すように延長してVL2と対称形状になるように又、垂直ラインVL3をバイポーラB33、B34、B43、B44ブロック上にも51に示すように延長してVL4と対称になるようにした。これにより垂直ラインの寄生容量をそろえ各ブロックごとの読出しゲインをそろえることが可能になり、ブロック間のバラツキが減少した。

【0041】(実施例4)第4実施例について、図8を用いて説明する。第4実施例が第1~第3実施例と異なる

ところは各ピーク出力検出ブロックBL1~BL4の出力は一方に読出さず、上下に並列に読出することにより読出しスピードが向上した点である。61と72はシフトレジスタ、62、63、68、69はブロックBL1、BL2、BL3、BL4信号を読出す読出し回路64、65、66、67は各ブロックの垂直出力線、70、71は水平出力線である。

【0042】(実施例5)第5実施例について、図9を用いて説明する。本実施例では垂直出力線を2種類の配線たとえば第1A1配線、第2A1配線を使用することによりブロック数を増加させた。BL11に対しては81出力線、BL12に対しては83、BL21に対しては85、BL22に対しては87出力線を使用してこれらにはたとえばA11配線、BL31ブロックに対しては82出力線、BL32に対しては84出力線、BL41に対しては86、BL42に対しては88出力線、A12配線を使用した。これらの出力線からの信号読出し回路90~97に並列に読出されシフトレジスタ98で走査され99に出力される。以上説明した実施例を組み合せれば、分割ブロック数は増加できることは言うまでもない。

【0043】(実施例6)次に第6実施例について図10を用いて説明する。本第6実施例は、センサの所望のブロック領域のピーク信号以外に通常の各ビットの読出しも同時に実現したものである。100は、各ビット読出しの駆動線のドライブ用垂直シフトレジスタである。左から2列の画素のピーク信号と右から2列の画素のピーク信号をたばねるためにMOSスイッチMij(j=1~4)を設けた。パルス $\phi_T$ により前者のピーク信号は101に後者のピーク信号は102にあつまり、基準レベルVREFとの比較を行うためにコンパレータ103、104に入力される。本実施例では各ブロックのピーク信号はシリアルに変換せずに同時に出力され、かつ、ある所望以上のピーク値になっているか否かの判定信号が出力されるので、上記ピークデータから画像の状態をすばやく判断することが可能になる。

【0044】一方、各画素に蓄積されたデータは、第1実施例で説明したデバイス動作により各行の信号が垂直シフトレジスタ100の走査に同期して出力される。

【0045】このように、画面の所望のブロックのピーク信号と各画素信号とが同時に出力されるため、ブロックのピーク信号で、おおまかな画像情報が得られるときのみ各画素信号を読出す等の動作も可能になる。

【0046】(実施例7)次に本発明の第7実施例について、図11を用いて説明する。

【0047】第6実施例の場合、ある基準レベルVREFとピーク信号との比較を行ったが、第7実施例では基準レベルをセンサの暗時レベルにした点が異なる点である。Mij(j=1~4)のMOSスイッチは、蓄積前と蓄積後の出力を切替えるもので、そのスイッチはパル

ス $\phi_3$ 、 $\phi_4$ でコントロールされる。蓄積前に $\phi_3$ パルスをハイレベルにしてその出力をMOSスイッチ $M_{52}$ と $M_{53}$ を介してそれぞれ $C_6$ 、 $C_7$ の容量に蓄積する。光信号蓄積後、 $\phi_3$ パルスをハイレベルにして、その出力をMOSスイッチ $M_{51}$ と $M_{53}$ を介して容量 $C_6$ 、 $C_7$ に蓄積する。それぞれの値をコンパレータ103、104に入力することにより暗時を基準としたブロックのピーク信号が検出可能になる。

【0048】本実施例の構成を用いることにより、センサに光が入射したのかしていないのが容易に判断できるばかりでなく、温度変動等が生じて、時々出力も光照射時の出力も同様に变化するため、環境変化に対しても安定した結果が得られるという利点がある。

【0049】(実施例8)次に本発明の第8実施例について図12を用いて説明する。本実施例においては、センサパイプラインB'1j (1j=1~4)はエミッタを2つ設け、一方のエミッタは各画素信号読出し専用にもう一方のエミッタはピーク信号検出用に設けピーク信号出力はアンプのゲートに接続する構成を採用した。

【0050】 $M_{71}$  (1=1~4)と $M_{72}$ によりMOSアンプが構成され、各ブロックのピーク出力は $M_{71}$  (1=1~4)のゲートに入力される。又、ピーク検出用垂直ラインをリセットするためにリセット用スイッチ $M_{81}$  (j=1~4)とリセット用パルス $\phi_{RS1j}$ を設けた。このような構成により各列のピーク出力の加算出力がアンプ106から出力される。ここでいう加算は通常の線型加算でなく各出力の平方根の加算となるが、ピーク出力自身に線形性を要求しない用途には特に問題ない。

【0051】又、本実施例では、各列すべてのピーク値を加算したが、これを各ブロックに分割し出力することも容易に達成できる。

【0052】本実施例では、センサ部に複数箇所のスポ

ット光が当たり、そのスポット光の数を算出するためにピーク信号を利用し、各スポット光の位置関係は、各ビット出力を利用することができ、高速で、上記画像処理で実現できる。

【0053】

【発明の効果】本発明によれば、微小なスポット光の検出が可能で処理速度の速い光電変換装置を提供できる。

【図面の簡単な説明】

【図1】従来の光電変換装置を説明するための模式図である。

【図2】本発明の一実施態様による光電変換装置の回路構成図である。

【図3】本発明の実施例1による光電変換装置の回路構成図である。

【図4】実施例1による光電変換装置の動作を説明するためのタイミングチャートである。

【図5】本発明の実施例2による光電変換装置の回路構成図である。

【図6】実施例2による光電変換装置の動作を説明するためのタイミングチャートである。

【図7】本発明の実施例3による光電変換装置の回路構成図である。

【図8】本発明の実施例4による光電変換装置の回路構成図である。

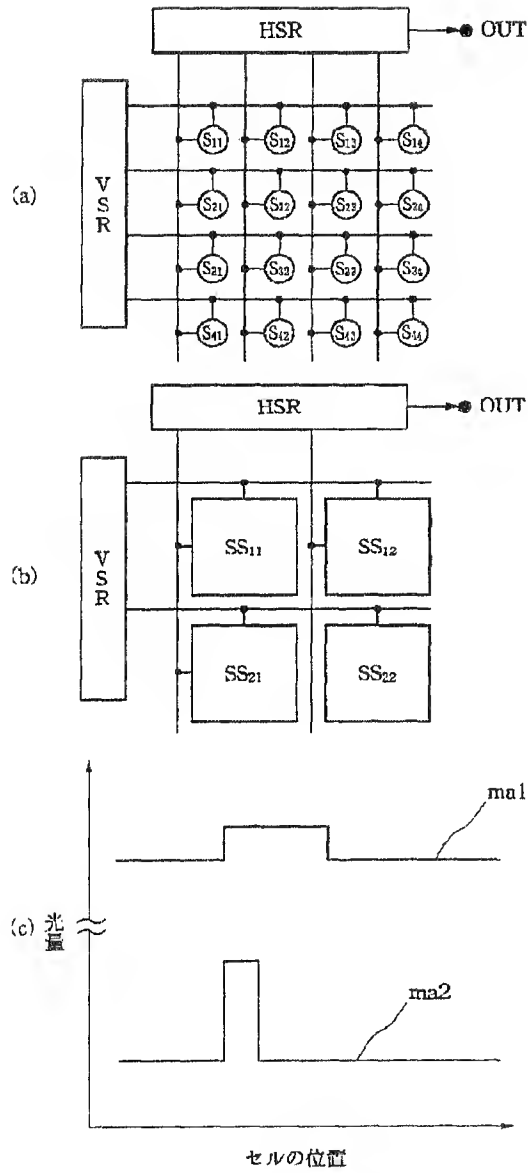
【図9】本発明の実施例5による光電変換装置の回路構成図である。

【図10】本発明の実施例6による光電変換装置の回路構成図である。

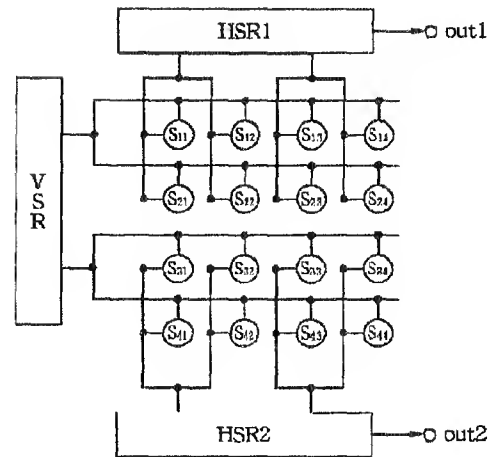
【図11】本発明の実施例7による光電変換装置の回路構成図である。

【図12】本発明の実施例8による光電変換装置の回路構成図である。

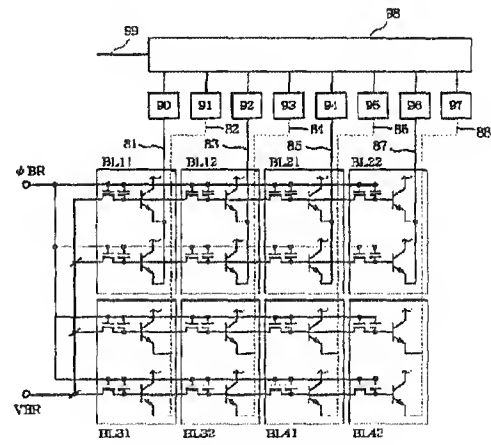
【図1】



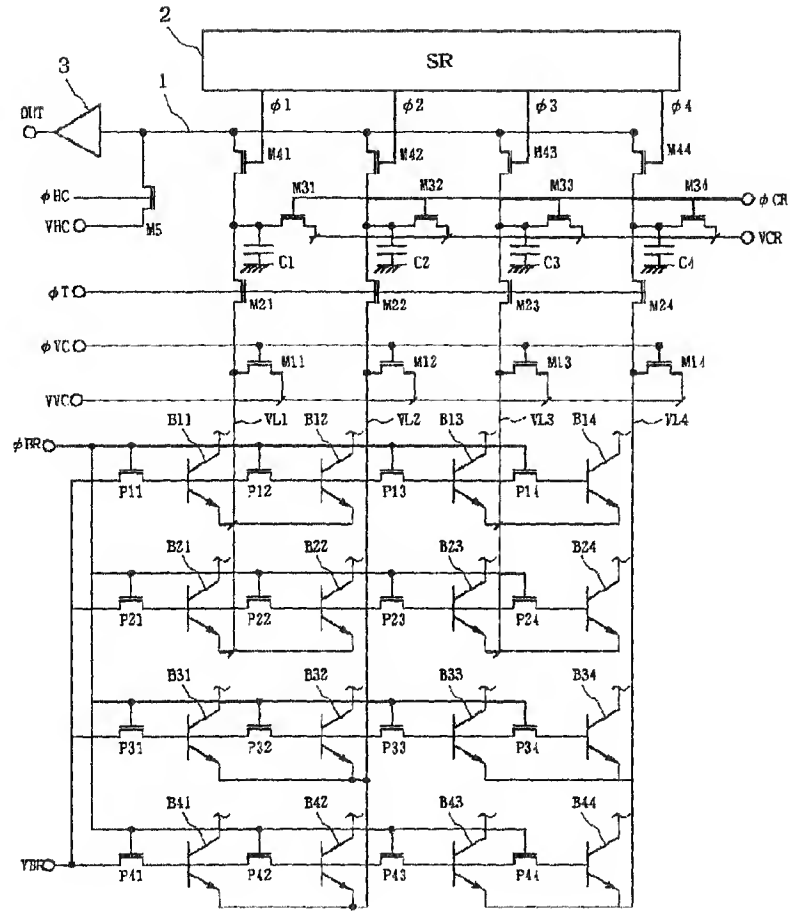
【図2】



【図9】



【図3】

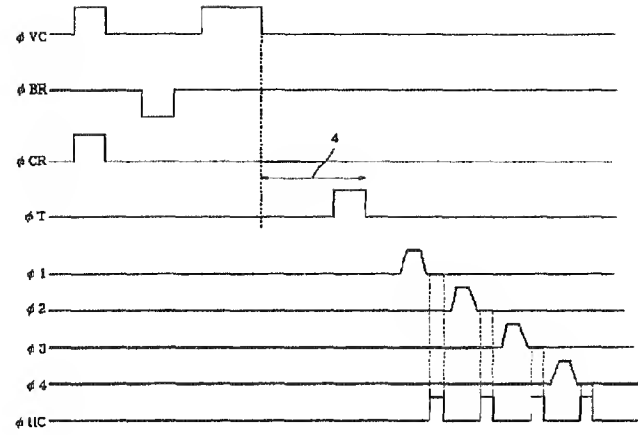




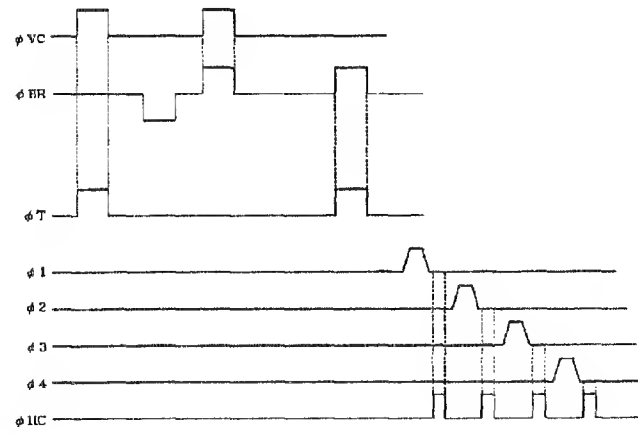
(8)

特開平6-339085

【図4】



【図6】

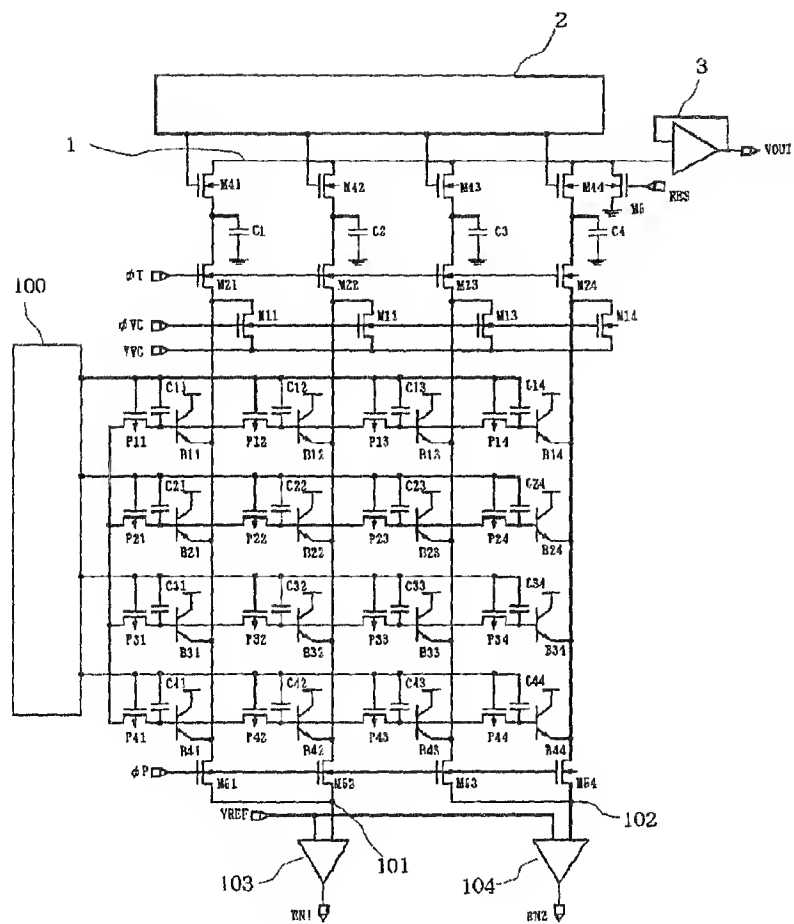


[illegible]

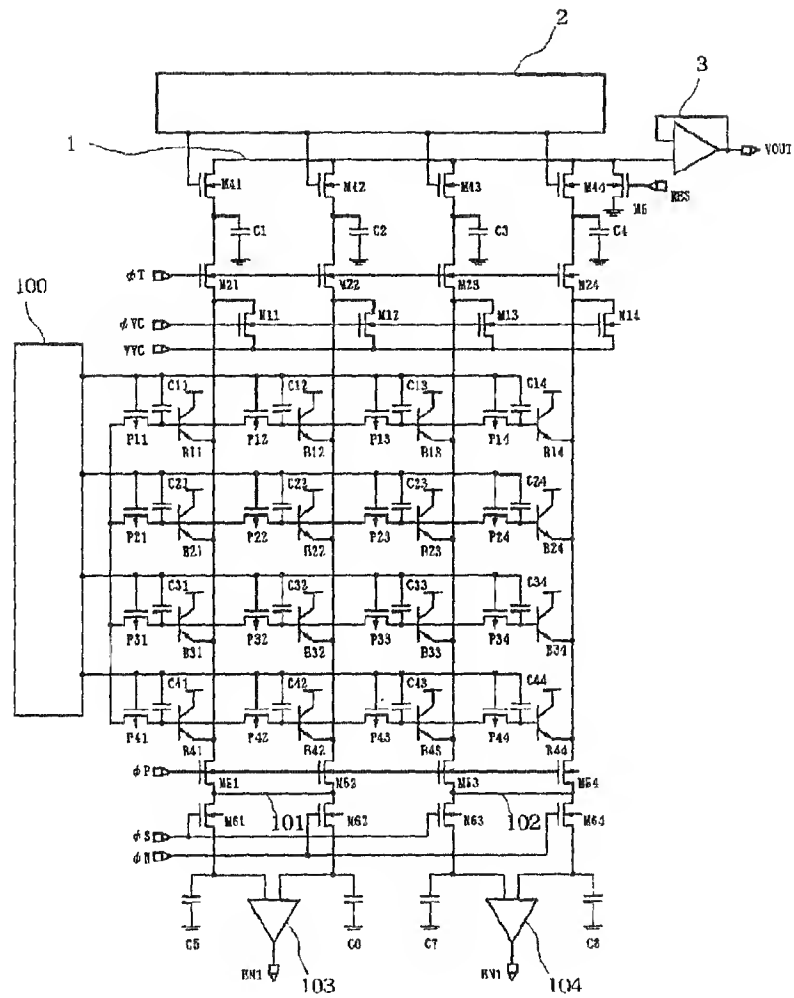
The diagram shows a 4x4 matrix array of transistors. The top row of transistors (M41-M44) is connected to an SR input. The rightmost column of transistors (M31-M34) is connected to a CR input. The matrix is divided into four quadrants by a horizontal and vertical line. The top-left quadrant contains PMOS transistors (P11-P14, P21-P24, P31-P34, P41-P44) and NMOS transistors (M11-M14, M21-M24). The top-right quadrant contains NMOS transistors (M11-M14, M21-M24). The bottom-left quadrant contains PMOS transistors (P11-P14, P21-P24, P31-P34, P41-P44). The bottom-right quadrant contains NMOS transistors (M11-M14, M21-M24). The matrix is connected to a 4x4 grid of nodes labeled 11 through 44. The top row of nodes is connected to a common line labeled 1. The rightmost column of nodes is connected to a common line labeled 2. The bottom row of nodes is connected to a common line labeled 3. The leftmost column of nodes is connected to a common line labeled 4. The matrix is also connected to a 4x4 grid of nodes labeled 11 through 44. The top row of nodes is connected to a common line labeled 1. The rightmost column of nodes is connected to a common line labeled 2. The bottom row of nodes is connected to a common line labeled 3. The leftmost column of nodes is connected to a common line labeled 4. The matrix is also connected to a 4x4 grid of nodes labeled 11 through 44. The top row of nodes is connected to a common line labeled 1. The rightmost column of nodes is connected to a common line labeled 2. The bottom row of nodes is connected to a common line labeled 3. The leftmost column of nodes is connected to a common line labeled 4.



【図10】



【図11】



【図12】

